

## SUBMOUNT FOR OPTICAL SEMICONDUCTOR ELEMENT

**Publication number:** JP60074539

**Publication date:** 1985-04-26

**Inventor:** SAITOU KATSUTOSHI; TOKUDA MASAHIRO; IMAI KUNINORI; MIZUSHI KENICHI; CHIBA KATSUAKI; KOBAYASHI MASAMICHI

**Applicant:** HITACHI LTD

**Classification:**

- **International:** H01L21/52; H01L21/58; H01S5/00; H01L21/02; H01S5/00; (IPC1-7): H01S3/18

- **European:** H01L21/58.

**Application number:** JP19830180239 19830930

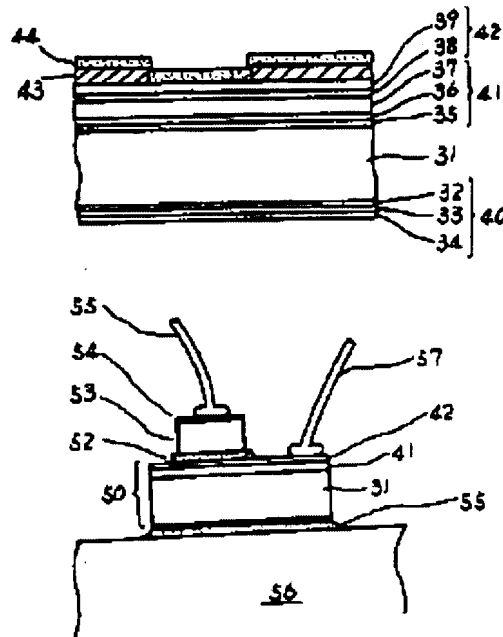
**Priority number(s):** JP19830180239 19830930

Report a data error here

### Abstract of JP60074539

**PURPOSE:** To obtain the submount which withstands high temperature and high humidity by a method wherein the barrier layer to be provided on a wiring layer is constituted by Pt.

**CONSTITUTION:** A wiring layer 41 is formed by performing a vacuum-deposition of Au layer 37, a Ti layer 38 and a Pt barrier main body layer 30 are successively vapor-deposited, and a barrier layer 41 is formed. Then, a solder layer-shaped window is provided on a resist layer 43. Subsequently, Pb-Sn solder 44 is vapor-deposited on the surface of the resist layer 43 in the state wherein a resist film is coated. Then, a sample is soaked in an organic solvent in which a photoresist film will be dissolved, supersonic vibrations are applied to the solvent, the resist film is removed by dissolution, and a solder layer 52 is selectively formed. Lastly, a heat conductive SiC ceramic substrate 31 is cut in accordance with the patterning pit of the solder layer, and a submount 50 is manufactured. Then, after a semiconductor laser chip 53 has been die-bonded on the solder layer 52, the submount is soldered on a heat dissipating member 56. Then, an Au wire 55 is supersonic die-bonded on the upper electrode 54. Also, an Au wire 57 is supersonic die-bonded on a barrier 42, and a chip lower electrode is connected to the outside part.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A)

昭60-74539

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)4月26日

H 01 L 21/58  
H 01 S 3/186679-5F  
7377-5F

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 光半導体素子用サブマウント

⑯ 特 願 昭58-180239

⑰ 出 願 昭58(1983)9月30日

⑱ 発 明 者 斎 藤 勝 利 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 徳 田 正 秀 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 今 井 邦 典 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 水 石 賢 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 高橋 明夫 外1名

最終頁に続く

## 明 細 書

発明の名称 光半導体素子用サブマウント

## 特許請求の範囲

1. 光半導体素子のチップを実装するためのサブマウントにおいて、高熱伝導性電気絶縁材料でサブマウント基体を構成し、かつ、サブマウント基体の主面に第1層TiまたはCr、第2層Pt、第3層Auからなる多層膜で配線用導体層を形成し、さらにその上に第1層TiまたはCr、第2層Ptからなる拡散バリア層を設け、さらにその上にパタンニングされた複数のソルダ層を選択的に設けたことを特徴とする光半導体素子用サブマウント。

2. 前記拡散バリア層上的一部分に、Au層からなるワイヤボンディングパッドを設けたことを特徴とする特許請求の範囲第1項記載の光半導体素子用サブマウント。

3. 前記サブマウントの基体材料が高熱伝導性SiCセラミック(SiCにBeOを添加した焼結体)であることを特徴とする特許請求の範囲

(1)

第1項および第2項記載の光半導体素子用サブマウント。

4. 前記ソルダ層がPbとSnの合金で構成されたことを特徴とする特許請求の範囲第3項記載の光半導体素子用サブマウント。

5. 前記サブマウント基体の裏面に第1層TiまたはCr、第2層Ni、第3層Auからなる多層膜を設けたことを特徴とする特許請求の範囲第4項記載の光半導体素子用サブマウント。

6. 前記第1層目Ti層、前記第2層目Pt層からなる配線用導体層を兼ねたバリア層を有する特許請求の範囲第4項記載の光半導体素子用サブマウント。

## 発明の詳細な説明

## 〔発明の利用分野〕

本発明は、光半導体素子のチップの実装に使用するサブマウントの構造に関するものである。

## 〔発明の背景〕

従来、光半導体素子、特にレーザダイオードなどにおいては、金属やSiあるいは高熱伝導性絶

(2)

縁材料から成るサブマウントと称する小片に半導体チップをボンディングしたのち、システムに実装するという手法が一般に用いられている。このうち、高熱伝導性絶縁基板を用いたサブマウントでは、ダイボンドされたチップの下面の電極を、サブマウントの表面メタライズ層を介して外部に接続する必要があるため、通常、第1図(断面図)に示す構造が採用されていた(特願昭58-40681)。すなわち、高熱伝導性絶縁基板(Ⅱ-A型ダイヤモンド、酸化ベリリウム〔ベリリア〕、高熱伝導性SiCセラミックスなど)1上に、蒸着、スパッタなどの方法によつてメタライズした多層膜配線層(通常、最上層はAu)2が形成されている。配線層2は、必要ならばパターンニングを施す。また、溶ダ層4と配線層2との反応を防止するためのバリア層3が配線層2上に部分的に設けられている。

光半導体チップ(例えばレーザダイオードチップ)5を実装するには、まず、溶ダ層4を溶融させてチップ5をサブマウントにダイボンドした

(3)

#### 〔発明の目的〕

本発明の目的は、上記の欠点を排除し、高温高湿にも耐え得る、光半導体素子用サブマウントを提供することにある。

#### 〔発明の背景〕

上記目的を達成するために、本発明では、配線層上に設けるバリア層をPtで構成したことを特徴としている。これにより、バリア層の耐湿性は大幅に改善される。また、Ptは溶ダに対して過度の濡れ性をもつので、溶ダ層の下地として必ずしもAu層を設ける必要がない。また、パターンニングされた溶ダ層が溶融した時の横方向の溶ダのしみ出しも僅かであるので、バリア層を部分的に限定して設ける必要もない。

#### 〔発明の実施例〕

以下、本発明を実施例を用いて詳細に説明する。

第3図、第4図は、本発明の一実施例を説明するための断面図である(実施例1)。

まず、高熱伝導性SiCセラミックス基板31の裏面に、基板を400～500℃に加熱しながら

(5)

のち、サブマウントを金属製の放熱体7に溶ダ8によりハンダ付けする(サブマウントの裏面には、予めメタライズ層6が設けられている)。次に、チップ5の上面電極9とサブマウント上の配線層2に、Au線10、11をワイヤボンディングして組立てを完了するものである。

ここで、バリアの材料には、MoやWなど、溶ダとの濡れ性の悪い材料が用いられていた。このため、溶ダ24と接するバリア最上層には、第2図に示すように溶ダとの濡れ性に優れたAuやAgなどからなる溶ダ下地層25を設け、かつ、バリア本体層(Mo、Wなど)23と溶ダ下地層25との間に、両者の混合層26を設けることにより密着性を高めていた。

このサブマウントにおいては、バリア層に対する溶ダの濡れ性やバリア層のバリア性が優れているが、高温高湿下でバリア層(MoやW)の露出面が酸化するので、長期的な信頼性に乏しく、また製造工程が複雑になるなどの欠点をもつていた。

(4)

Ti層32を膜厚約1000Å、Ni層33を膜厚約4000Å真空蒸着し、次いで、基板温度約200℃においてAu層34を約2000Å真空蒸着して裏面メタライズ層40を形成した。

次に、基板を300℃に加熱しながら基板表面にTi層35(膜厚約1000Å)、Pt層36(膜厚約3000Å)、次いで基板温度約200℃でAu層37(約1μm)を真空蒸着して配線層41を形成し、さらに続けてTi層38(膜厚約1000Å)、Ptバリア本体層39(膜厚約4000Å)を順次蒸着してバリア層42を形成した。

次に、蒸着層全面に厚さ3～5μmのポジ型ホトレジスト膜を塗布し、ホトレジスト技術により溶ダ層の形状(例えば400μm×500μm)の窓をレジスト層43に設けた。次いで、レジスト膜が被着した状態でこの面にPb-Sn溶ダ44を厚さ2～4μm真空蒸着した。次いで、ポジレジスト膜を溶解しうる有機溶剤(例えばアセトン)中に試料を浸漬し、超音波振動を溶剤に加

(6)

えてレジスト膜を溶解除去することにより、レジスト膜上のPb-Sn溶ダ層を除去する、いわゆる「リフトオフ法」により第4図に示すような溶ダ層52を選択的に形成した。

溶ダ層の組成比については、溶ダ層上に実装するチップの構造や実装作業温度などを考慮して自由に調整すればよい。一例を挙げればPb 40 wt.%, Sn 60 wt.%である。

最後に、第4図に示すように、溶ダ層のパタニングビットにしたがつて熱伝導性SiCセラミック基板31を切断し、例えば、横約1.5mm、縦約1.2mmの大きさのサブマウント50を製作した。

次に、サブマウント50の溶ダ層52上に半導体レーザチップ53をダイボンドしたのち、サブマウント50を放熱体56に溶ダ55を用いてハンダ付けした。次いで、チップ53上の上部電極54にAu線55を超音波ボンディングし、また、下地に配線層41をもつバリア層(Ti/Pt)42上にAu線57を超音波ボンディング

(7)

表面に配線層63とバリア層(Ti/Pt)64を被着し、さらに連続してAuを厚さ約7000Åを被着した。次いで、ホトレジスト技術を用いて最上層のAuを選択エッチしてボンディングパッド65を形成した。

さらに、実施例1と同様のリフトオフ法を用いてバリア層(Ti/Pt)64上にPb-Sn溶ダ層66を選択的に形成した。

なお、最上層のAu層を除去したPtバリア露出面に、特別な前処理を施さずにPb-Sn溶ダ層を蒸着した場合には、Pt層に対する溶ダ層の濡れ性が必ずしも充分でない場合がある。この原因を種々検討した結果、Au層の化学エッチにより露出したPt表面には、酸化によるものと思われる変成層が存在することがわかった。

このため、Pb-Sn溶ダの蒸着時には、Pt表面の変成層を除去するための前処理を実施している。その前処理の一例として、希フッ化水素酸水溶液、またはフッ化水素酸とフッ化アンモニウムとの混合水溶液、などに30秒から数分間

(9)

してチップ下部電極を外部に接続した。

以上述べた実施例によるサブマウントは、従来品に比べて構造、特にバリア層の構成が著しく簡素化されており、製造工数が大幅に低減されている。例えば、パタニングのためのホトレジスト工程を3工程から1工程に、蒸着工程を4工程から3工程に低減することができた。

また、バリア本体層にPtを用いているので、きわめて安定した溶ダ濡れ性を得ることができた。さらに、チップ実装後の高温高湿保管テストにおいても、従来品にみられたバリア層の酸化という問題を完全に解消することができた。

第5図は本発明の他の実施例を示す断面である(実施例2)。

本実施例は、チップ下部電極を取出すための専用のボンディングパッドを設けたことを特徴とする。

まず、高熱伝導性SiCセラミック基板61の裏面に、実施例1と同様のメタライズ層62を設ける。次いで、実施例1と同様の手法により基板

(8)

浸漬後、水洗・乾燥するという手法を挙げることができる。

本実施例によるサブマウントは、比較的厚いAu層からなる専用のボンディングパッドを有するので、実装チップの下部電極を取出す際のワイヤボンディング作業条件を緩和できる利点を有する。すなわち、低温・低荷重の条件下でも十分な強さをもつボンディングを行うことが可能であり、また、超音波を印加しない熱圧着方式によるボンディングも可能である。

配線層の抵抗値が多少高くても支障がない場合には、第6図(断面図)に示すように、バリア層自体が配線層を兼ねる構造とすることができる(実施例3)。以下、第6図により詳細に説明する。

まず、高熱伝導性SiCセラミック基板71の裏面に、実施例1で述べたのと同様の方法で裏面メタライズ層72を形成した。次に、基板温度約300℃でTi層73を約1000Å真空蒸着し、次いで基板温度約200℃でPt層74を約

(10)

6000Å、次いでAuを約7000Å連続的に蒸着した。次いで、実施例2で述べたと同様の方法でボンディングパッド75とソルダ層76を形成した。

本実施例によるサブマウントは、実施例1、2で述べたサブマウントに比較して、構造がさらに簡素化されているので、製造工数と製造原価の一層の低減を図ることができた。

また、実施例1、2によるサブマウントは、Au層を主体とする配線層をもつため、個々のサブマウントに切断・分離する際、切断代がソルダボタンに接触したり、ソルダボタンにかかることは許されなかつた。もし、上記のような切断を行うと、切断端面のごく近傍におけるバリア層の機械的損傷や、ソルダと配線用Au層との接触により、ソルダと配線層との好ましくない合金化反応が生じてしまう。

このため、実施例1、2によるサブマウント製作時の切断工程においては、きわめて正確な切断位置決めが必要であつた。一方、本実施例による

(11)

また、エッチングにより露出させたPt面の変成層を除去するには、実施例2で述べた方法以外に、イオンエッチング、プラズマクリーニングなどの手法により物理的に変成層を除去する方法を適用することも可能である。

また、配線層およびバリア層に用いているTi層は、下地との密着性を確保するためのコンタクトメタルであり、Tiの代りにCrを用いてもよい。

さらに、ソルダ層を選択的に形成する手段としては、リフトオフ法以外に、蒸着マスクを用いた選択蒸着法や、選択メッキ法なども利用できる。

また、以上の実施例では、1個のソルダボタン層と1個のボンディングパッド層をもつサブマウントについて説明したが、複数個のソルダボタン層と複数個のボンディングパッドを設けることも充分可能である。

〔発明の効果〕

以上詳述したように、本発明によれば、高温高湿にも耐え得る光半導体用サブマウントが実現で

(13)

サブマウントでは、Auを主体とした配線層は存在しないので、たとえばソルダボタンにかかるような切断を行つても全く支障がない。したがって、本実施例によるサブマウントの切断作業では、切断箇所の位置決め精度が大幅に緩和され、作業時間が短縮できた。

さらに、実施例1、2によるサブマウントでは、Au配線導体層上のPtバリア層のバリア性を確保するために、ピンホールの原因となる塵埃や蒸着条件の厳密な管理が必要であつたが、本実施例の場合には、作業室の無塵度や蒸着条件を実施例1、2による場合よりも緩和することができる。

以上の説明では、サブマウントを構成する基板材料として高熱伝導性SiCセラミック基板を用いた例を挙げたが、Ⅱ-A型ダイヤモンドやベリリアなどの高熱伝導性絶縁物基板も使用できる。さらに、微少な電力しか消費しない光半導体チップを実装する場合には、必ずしも高熱伝導性が必要ではなく、アルミナのような通常のセラミック基板を用いることも可能である。

(12)

き、実用に供してその効果は著しい。

図面の簡単な説明

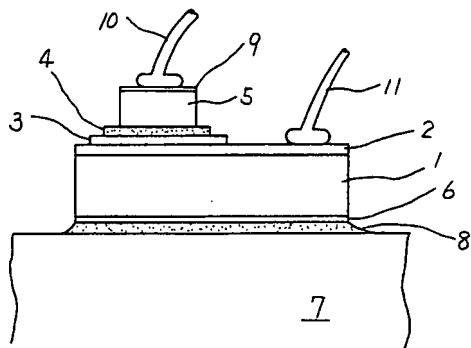
第1図は従来のサブマウントを用いて実装した光半導体素子の断面図、第2図は従来のサブマウントのバリア層付近の拡大断面図、第3図は本発明の一実施例を示す断面図、第4図は第3図に示すサブマウントを用いて実装した光半導体素子の断面図、第5図は本発明の他の実施例を示す断面図、第6図は本発明のさらに他の実施例を示す断面図である。

31…高熱伝導性SiCセラミック基板、35…Ti層、36…Pt層、37…Au層、38…Ti層、39…Pt層、40…裏面メタライズ層、52…ソルダ層、63…配線層、64…バリア層、65…ボンディングパッド、71…高熱伝導性SiCセラミック基板、73…Ti層、74…Pt層、75…ボンディングパッド、76…ソルダ層。

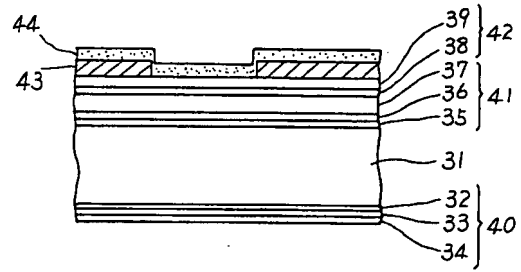
代理人 弁理士 高橋明夫

(14)

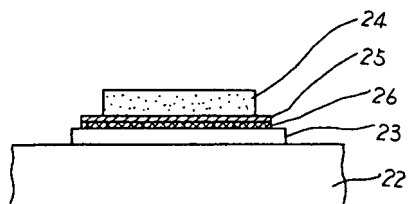
第 1 図



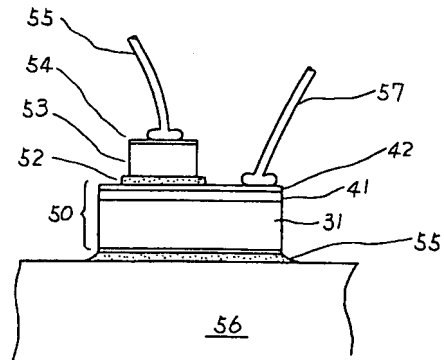
第 3 図



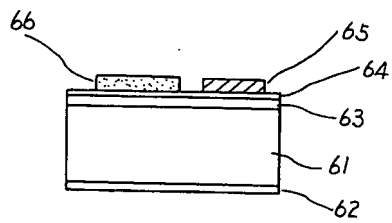
第 2 図



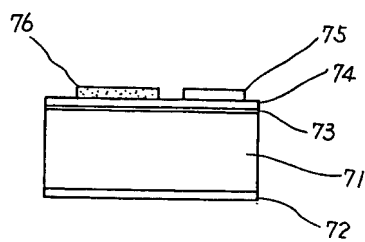
第 4 図



第 5 図



第 6 図



第1頁の続き

⑫発明者	千葉	勝昭	国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
⑬発明者	小林	正道	高崎市西横手町111番地 株式会社日立製作所高崎工場内